

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-205633

(43)Date of publication of application : 30.07.1999

(51)Int.Cl. H04N 5/202
 G09G 3/20
 G09G 3/20
 G09G 3/28
 G09G 3/36
 H04N 5/66
 H04N 5/66

(21)Application number : 10-022723

(71)Applicant : FUJITSU GENERAL LTD

(22)Date of filing : 20.01.1998

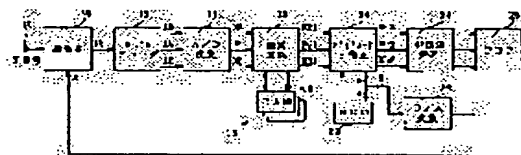
(72)Inventor : MAKINO IKUO

(54) VIDEO DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent unnatural image display by reducing the γ correction error of low gradation area.

SOLUTION: This display device is provided with an analog/digital (A/D) converting circuit 14, ROM 22 previously storing γ correction data related to a display rate and an input level, and dynamic γ correction circuit 20 for finding the display rate and input level from the output video data of the A/D converting circuit 14, reading γ correction data from the ROM 22, correcting the gradation of the output video data of the A/D converting circuit 14 and outputting these data to a plasma display panel(PDP) 26. Then, a D/A converting circuit 32 for converting the display rate found by the dynamic γ correction circuit 20 into an analog control signal and a black extension circuit 30 are provided, and the black extension circuit 30 extends a signal on the black side rather than the setting level of a Y signal corresponding to a control signal (g) from the D/A converting circuit 32 and outputs it to the A/D converting circuit 14. Therefore, the level of black extension due to the black extension circuit 30 is changed corresponding to the level of the display rate and the γ correction error in the low gradation area can be reduced.



LEGAL STATUS

[Date of request for examination]

29.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

【特許請求の範囲】

【請求項1】 アナログの入力映像信号をデジタルの映像データに変換して出力するA/D変換回路と、複数段階の表示率の各々についての複数段階の入力レベルに係る γ 補正データを予め記憶したメモリと、前記A/D変換回路から出力した映像データから表示率及び入力レベルを求めて対応した γ 補正データを前記メモリから読出し、この γ 補正データで前記A/D変換回路から出力した映像データの階調を補正して表示パネル側へ出力するダイナミック γ 補正回路とを具備してなる映像表示装置において、前記ダイナミック γ 補正回路で求めた表示率をアナログの制御信号に変換して出力するD/A変換回路と、前記A/D変換回路の前段に挿入された黒伸長回路とを具備し、前記黒伸長回路は、前記入力映像信号のうちの設定レベルより黒側の信号を、前記D/A変換回路から出力する制御信号に応じて伸長して前記A/D変換回路へ出力してなることを特徴とする映像表示装置。

【請求項2】 表示パネルはPDPからなる請求項1記載の映像表示装置。

【請求項3】 アナログの入力映像信号はR、G、B信号を含む輝度信号としてなり、黒伸長回路とA/D変換回路の間に前記黒伸長回路から出力する輝度信号からアナログのR、G、B信号を得るRGBデコーダを具備し、メモリは、R、G、Bデータ毎に複数段階の表示率の各々についての複数段階の入力レベルに係る γ 補正データを予め記憶してなり、黒伸長回路は、D/A変換回路から出力する制御信号に応じて入力輝度信号のうちの設定レベルより黒側の信号を伸長してA/D変換回路へ出力してなる請求項1又は2記載の映像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、アナログの入力映像信号をデジタルの映像データに変換して出力するA/D（アナログ/デジタル）変換回路と、複数段階の表示率の各々についての複数段階の入力レベルに係る γ 補正データを予め記憶したメモリと、A/D変換回路から出力した映像データから表示率及び入力レベルを求めて対応した γ 補正データをメモリから読出し、この γ 補正データでA/D変換回路から出力した映像データの階調（濃度階調）を補正して表示パネル側へ出力するダイナミック γ 補正回路とを具備してなる映像表示装置に関するものである。表示パネルには、PDP（プラズマディスプレイパネル）やLCD（液晶ディスプレイ）パネルがある。

【0002】

【従来の技術】 従来、この種の映像表示装置は図6に示すように構成されていた。すなわち、RGBデコーダ12によって入力端子10に入力したR（赤）、G（緑）、B（青）信号を含むY（輝度）信号からAR（アナログのR）、AG（アナログのG）、AB（アナ

ログのB）信号を得、このAR、AG、AB信号をA/D変換回路14によってDR（デジタルのR）、DG（デジタルのG）、DB（デジタルのB）データに変換する。このDR、DG、DBデータを、RAM16を用いた画素変換回路18によってリサンプリングしてDR1（デジタルのR1）、DG1（デジタルのG1）、DB1（デジタルのB1）データに変換し、ダイナミック γ 補正回路20に出力する。

【0003】 ダイナミック γ 補正回路20は、入力したDR1、DG1、DB1データから表示率及び入力レベルを求め、対応した γ 補正データをROM22から読出し、この γ 補正データでDR1、DG1、DB1データの階調を補正し、DR2、DG2、DB2データとして中間調処理回路（例えば誤差拡散回路）24を介してPDP26へ出力し映像を表示する。ROM22には、R、G、B毎に複数段階（例えば「APL31」から「APL0」までの32段階）の表示率の各々についての複数段階（例えば8段階）の入力レベルに係る γ 補正データが予め記憶されている。表示率は、1画面の全ドットのそれぞれの濃度（輝度）が最大（例えば16ビットの「FFFFH」（16進表示））の最も明るいときに100%、1画面の全ドットのそれぞれの輝度が最小（例えば16ビットの「0000H」（16進表示））の最も暗いときに0%となるような画面の表示明るさに対応したデジタル値を表す。例えば、表示率「APL31」が100%、…、「APL15」が50%、…、「APL0」が0%に対応する。

【0004】

【発明が解決しようとする課題】 しかしながら、ダイナミック γ 補正回路20によるROM22内の γ 補正データを用いた γ 補正カーブは、図7に示す γ 補正カーブ（アナログ方式）を元にして作成した図8に示すような8分割直線近似の γ 補正カーブ（デジタル方式）で形成されていたので、入力映像信号が設定レベルSより低い低階調領域において、 γ 補正誤差による表示画像への影響が大きくなって不自然な画像が表示されるという問題点があった。一般に、画面の明るい部分では γ 補正誤差はそれ程目立たないが、画面の暗い部分では γ 補正誤差が目立ち易いので、低階調領域における誤差が大きくなると不自然な画像が表示されることになるからである。特に、低表示率での低階調領域における γ 補正誤差が大きくなると不自然な画像が表示されるという問題点があった。

【0005】 本発明は、上述の問題点に鑑みなされたもので、A/D変換回路、メモリ及びダイナミック γ 補正回路を具備した映像表示装置において、低階調領域における γ 補正誤差を小さくして不自然な画像が表示されるのを防止することを目的とする。例えば、低表示率での低階調領域における γ 補正誤差を小さくして、不自然な画像が表示されるのを防止することを目的とする。

【0006】

【課題を解決するための手段】本発明は、アナログの入力映像信号をデジタルの映像データに変換して出力するA/D変換回路と、複数段階の表示率の各々についての複数段階の入力レベルに係るγ補正データを予め記憶したメモリと、A/D変換回路から出力した映像データから表示率及び入力レベルを求めて対応したγ補正データをメモリから読出し、このγ補正データでA/D変換回路から出力した映像データの階調を補正して表示パネル側へ出力するダイナミックγ補正回路とを具備してなる映像表示装置において、ダイナミックγ補正回路で求めた表示率をアナログの制御信号に変換して出力するD/A変換回路と、A/D変換回路の前段に挿入された黒伸長回路とを具備し、この黒伸長回路は、入力映像信号のうちの設定レベルより黒側の信号を、D/A変換回路から出力する制御信号に応じて伸長してA/D変換回路へ出力してなることを特徴とする。

【0007】アナログ入力映像信号のうちの設定レベルより黒側の信号は、黒伸長回路で伸長されてA/D変換回路に入力する。この黒伸長回路における黒伸長の程度は、表示率をアナログ信号に変換した制御信号に応じて変化するので、入力映像信号のうちの設定レベルより黒側の信号の黒伸長の程度を表示率に応じて変えることができる。このため、表示率の高低に応じて黒伸長回路の黒伸長の程度（例えば黒伸長ゲイン）を変え、低階調領域におけるγ補正誤差を小さくして不自然な画像が表示されるのを防止することができる。例えば、同じ低階調領域であっても、高表示率の場合を比較して低表示率の場合の方がγ補正誤差が大きいものとする、高表示率の場合の黒伸長ゲインを小さく、低表示率の場合の黒伸長ゲインを大きくすることによって、低階調領域におけるγ補正誤差を小さくして表示パネル（例えばPDP）で不自然な画像が表示されるのを防止できる。

【0008】請求項1の発明において、回路構成を簡単にするために、アナログの入力映像信号をR、G、B信号を含む輝度信号とし、黒伸長回路とA/D変換回路の間に黒伸長回路から出力する輝度信号からR、G、B信号を得るRGBデコーダを設け、メモリに、R、G、Bデータ毎に複数段階（例えば32段階）の表示率データの各々についての複数段階（例えば8段階）の入力レベルに係るγ補正データを予め記憶し、黒伸長回路が、D/A変換回路から出力する制御信号に応じて入力輝度信号のうちの設定レベルより黒側の信号を伸長してA/D変換回路へ出力するように構成する。

【0009】

【発明の実施の形態】以下、本発明による映像表示装置の一実施形態例を図面を用いて説明する。図1において図6と同一部分は同一符号とする。図1において、30は黒伸長回路で、この黒伸長回路30は、入力端子10に入力したY信号のうちの設定レベルSより黒側の信号

を伸長して出力するとともに、その黒伸長ゲインを後述する制御信号gで可変できるように構成されている。前記黒伸長回路30の出力側には、RGBデコーダ12、A/D変換回路14、RAM16を結合した画素変換回路18、ROM22を結合したダイナミックγ補正回路20、中間調処理回路（例えば誤差拡散回路）24及びPDP26が順次結合している

【0010】前記ダイナミックγ補正回路20は、前記画素変換回路18から出力したDR1、DG1、DB1データから表示率及び入力レベルを求め、n（例えば11）ビットのアドレスに基づいて対応したγ補正データを前記ROM22から読み出し、このγ補正データでDR1、DG1、DB1データの階調を補正し、DR2、DG2、DB2データとして中間調処理回路24へ出力するように構成されている。前記表示率は、「APL31」から「APL0」までの32段階からなり、「APL31」が100%（最も明るい画面）、「APL0」が0%（最も暗い画面）に対応している。

【0011】前記ROM22には、R、G、B毎に「APL31」から「APL0」までの32段階の表示率の各々について8段階の入力レベルに係るγ補正データが予め記憶されている。前記ROM22のメモリマップは、例えば、11（n=11の場合）ビットのアドレスの最上位桁から2ビットがR、G、Bに、その次の5ビットが32段階の表示率（「APL31」～「APL0」）に、その次の3ビットが8段階の入力レベルにそれぞれ割り付けられ、対応した各メモリ領域には16ビットのγ補正データが予め記憶されている。

【0012】32はD/A（デジタル/アナログ）変換回路で、このD/A変換回路32は、前記ダイナミックγ補正回路20から前記ROM22へ出力するn（例えばn=11）ビットのアドレスのうちの表示率に対応した5ビット（「APL31」～「APL0」）をアナログの制御信号gに変換して前記黒伸長回路30へ出力するように構成されている。

【0013】つぎに、図1の作用につき図2～図5を併用して説明する。説明の便宜上、ダイナミックγ補正回路20によるγ補正カーブを図8と同様な8分割直線近似で行い、その低階調領域のγ補正誤差による表示画像への影響は、低表示率の場合の方が高表示率の場合より大きいものとし、低表示率の場合の黒伸長ゲインを大きく、高表示率の場合の黒伸長ゲインを小さく制御することによって階調補正をする場合について説明する。

【0014】（1）入力端子10に入力したY信号のうちの有効水平走査期間内の設定レベルSより黒側の信号は、黒伸長回路30により制御信号gに応じて伸長ゲインが制御され、RGBデコーダ12に入力する。入力端子10に入力したY信号が図2に示すようなランプ波形の場合には、黒伸長回路30からは図3に実線又は点線で示すような黒伸長されたYb信号が出力する。実線で

示すYb信号は、Y信号が低表示率のときに黒伸長回路30により黒伸長した場合（黒伸長量a）の出力信号を表し、点線で示すYb信号は、Y信号が高表示率のときに応じて黒伸長回路30により黒伸長した場合（黒伸長量b（ $b < a$ ））の出力信号を表す。図2及び図3においてBLは黒レベル、HDは水平同期信号を表す。

【0015】(2) RGBデコーダ12によって、黒伸長回路30で黒伸長制御したYb信号からAR、AG、AB信号が得られ、このAR、AG、AB信号はA/D変換回路14によってDR、DG、DBデータに変換される。このDR、DG、DBデータは、RAM16を用いた画素変換回路18によるリサンプリングでDR1、DG1、DB1データに変換され、ダイナミックγ補正回路20に入力する。

【0016】(3) ダイナミックγ補正回路20は、入力したDR1、DG1、DB1データから表示率及び入力レベルを求め、対応したγ補正データをROM22から読出し、このγ補正データでDR1、DG1、DB1データの階調を補正し、DR2、DG2、DB2データとして中間調処理回路24を介してPDP26へ出力し映像を表示する。

【0017】(4) ダイナミックγ補正回路20からROM22に出力する11（ $n=11$ の場合）ビットのアドレスのうちの、表示率を表すアドレス（最上位桁から3番目の桁から7番目の桁までの5ビットのアドレス）は、D/A変換回路32でアナログの制御信号gに変換されて黒伸長回路30に入力し、その黒伸長ゲインを制御する。例えば、制御信号gの値が大きくなるほど黒伸長ゲインが小さくなるように制御する。

【0018】このため、高表示率の場合には、図4に示すように、黒伸長スタートポイントを補正前よりcだけ下げて傾斜を若干急峻とし（入力軸との交点d）、低表示率の場合には、図5に示すように、黒伸長スタートポイントを補正前よりe（ $e > c$ ）だけ下げて傾斜を急峻とする（入力軸との交点f（ $f > d$ ））。したがって、設定レベルSより黒側の信号による低階調領域において、γ補正誤差を小さくしてPDP26で不自然な画像が表示されるのを防止できる。

【0019】前記実施形態例では、ダイナミックγ補正回路によるメモリ内のγ補正データを用いたγ補正カーブが、γ補正カーブ（アナログ方式）を元にして作成した8分割直線近似のγ補正カーブ（デジタル方式）で形成されていた場合について説明したが、本発明はこれに限るものでなく、複数分割直線近似のγ補正カーブ（デジタル方式）で形成されていた場合について利用することができる。

【0020】前記実施形態例では、低階調領域のγ補正誤差による表示画像への影響が、低表示率のときより高表示率のときの方が大きい場合を想定し、低表示率の場合に黒伸長回路の黒伸長ゲインを大きく、高表示率の場

合に黒伸長回路の黒伸長ゲインを小さく制御することによって階調補正をする場合について説明したが、本発明はこれに限るものでなく、表示率の高低に応じて黒伸長回路の黒伸長の程度（例えば黒伸長ゲイン）を変え、低階調領域のγ補正誤差による表示画像への影響を小さくするものに利用できる。例えば、低階調領域のγ補正誤差による表示画像への影響が、高表示率のときより低表示率のときの方が大きい場合についても利用することができる。この場合、高表示率の場合に黒伸長回路の黒伸長ゲインを大きく、低表示率の場合に黒伸長回路の黒伸長ゲインを小さく制御することによって階調補正を行い、低階調領域におけるγ補正誤差を小さくして不自然な画像が表示されるのを防止することができる。

【0021】前記実施形態例では、回路構成を簡単にするために、アナログの入力映像信号をR、G、B信号を含む輝度信号とし、黒伸長回路とA/D変換回路の間に黒伸長回路から出力する輝度信号からR、G、B信号を得るRGBデコーダを設け、メモリに、R、G、Bデータ毎に複数段階（例えば32段階）の表示率データのそれぞれについての複数段階（例えば8段階）の入力レベルに係るγ補正データを予め記憶し、黒伸長回路が、D/A変換回路から出力する制御信号に応じて入力輝度信号のうちの設定レベルより黒側の信号を伸長してA/D変換回路へ出力するように構成したが、本発明はこれに限るものでなく、RGBデコーダを省略したものについても利用することができる。

【0022】前記実施形態例では、表示パネルがPDPの場合について説明したが、本発明はこれに限るものでなく、PDP以外の表示パネル（例えばLCDパネル）についても利用することができる。

【0023】

【発明の効果】本発明は、A/D変換回路、メモリ及びダイナミックγ補正回路を具備してなる映像表示装置において、ダイナミックγ補正回路で求めた表示率をアナログの制御信号に変換して出力するD/A変換回路と、A/D変換回路の前段に挿入された黒伸長回路とを具備し、この黒伸長回路が入力映像信号のうちの設定レベルより黒側の信号をD/A変換回路から出力する制御信号に応じて伸長してA/D変換回路へ出力するように構成したので、入力映像信号のうちの設定レベルより黒側の信号の黒伸長の程度を表示率に応じて変えることができる。このため、表示率の高低に応じて黒伸長回路の黒伸長の程度（例えば黒伸長ゲイン）を変え、低階調領域におけるγ補正誤差を小さくし、不自然な画像が表示されるのを防止することができる。例えば、高表示率と低表示率の場合を比較した場合に、低表示率の場合の低階調領域におけるγ補正誤差の画像への影響が大きいものとする、高表示率の場合の黒伸長ゲインを小さく、低表示率の場合の黒伸長ゲインを大きくすることによって、低表示率での低階調領域におけるγ補正誤差を小さく

し、表示パネル（例えばPDP）で不自然な画像が表示されるのを防止できる。

【0024】請求項1の発明において、アナログの入力映像信号をR、G、B信号を含む輝度信号とし、黒伸長回路とA/D変換回路の間に黒伸長回路から出力する輝度信号からR、G、B信号を得るRGBデコーダを設け、メモリに、R、G、Bデータ毎に複数段階（例えば32段階）の表示率データのそれぞれについての複数段階（例えば8段階）の入力レベルに係る γ 補正データを予め記憶し、黒伸長回路が、D/A変換回路から出力する制御信号に応じて入力輝度信号のうちの設定レベルより黒側の信号を伸長してA/D変換回路へ出力するように構成することによって、回路構成を簡単にすることができる。

【図面の簡単な説明】

【図1】本発明による映像表示装置の一実施形態例を示すブロック図である。

【図2】図1の入力端子に入力するY信号の波形図である。

【図3】図1の黒伸長回路から出力するYb信号の波形図である。

【図4】高表示率の場合において、図1の回路で黒伸長された γ 補正カーブの特性図である。

【図5】低表示率の場合において、図1の回路で黒伸長された γ 補正カーブの特性図である。

【図6】従来例を示すブロック図である。

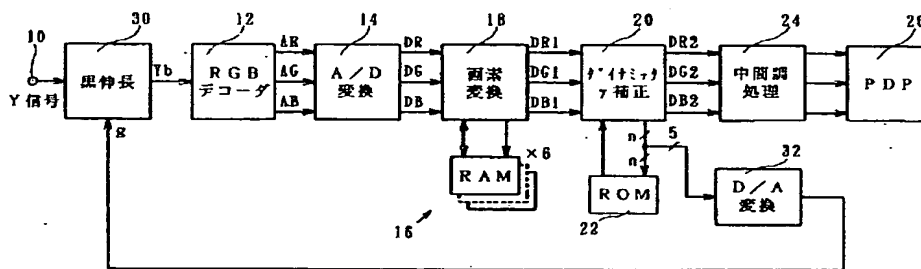
【図7】 γ 補正カーブ（アナログ方式）の特性図である。

【図8】図6の回路で用いるための γ 補正カーブ（デジタル方式）を、図7の γ 補正カーブを元にして8分割直線近似で求めた特性図である。

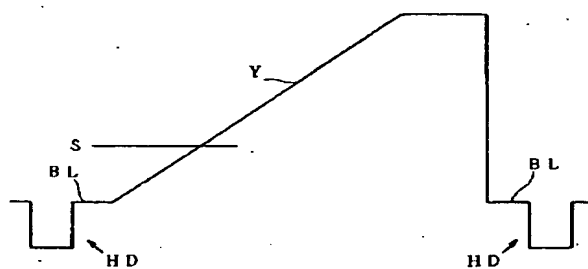
【符号の説明】

10…アナログ映像信号の入力端子、12…RGBデコーダ、14…A/D（アナログ/デジタル）変換回路、16…RAM（ランダムアクセスメモリ）、18…画素変換回路、20…ダイナミック γ 補正回路、22…ROM（リードオンリメモリ）（メモリの一例）、24…中間調処理回路、26…PDP（表示パネルの一例）、30…黒伸長回路、32…D/A（デジタル/アナログ）変換回路、a…低表示率のときの黒伸長量、BL…黒レベル、b…高表示率のときの黒伸長量、c…高表示率のときの γ 補正カーブの黒伸長スタートポイントのダウン量、d…高表示率のときの γ 補正カーブの入力軸との交点、e…低表示率のときの γ 補正カーブの黒伸長スタートポイントのダウン量、f…低表示率のときの γ 補正カーブの入力軸との交点、g…制御信号、HD…水平同期信号、S…設定レベル（低階調領域か否かを分けるしきい値）、Y信号…輝度信号（アナログの入力映像信号の一例）、Yb信号…Y信号の設定レベルSより黒側の信号を伸長した信号。

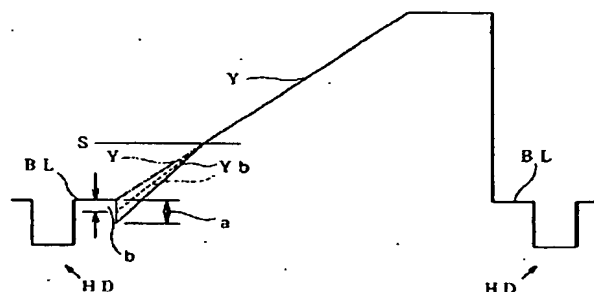
【図1】



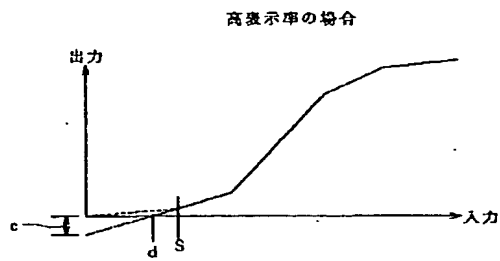
【図2】



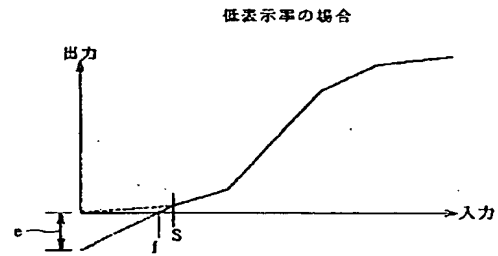
【図3】



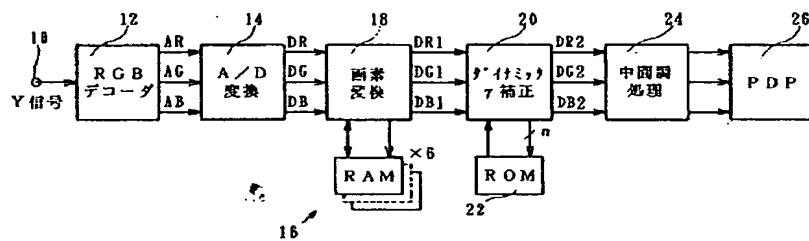
【図 4】



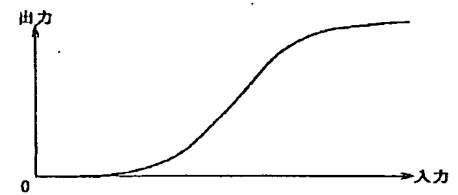
【図 5】



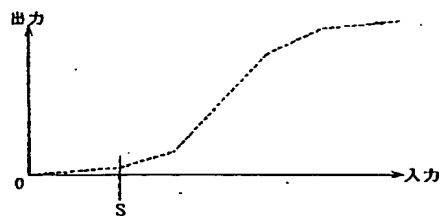
【図 6】



【図 7】



【図 8】



フロントページの続き

(51)Int.Cl.⁶

H 0 4 N 5/66

識別記号

1 0 1

F I

H 0 4 N 5/66

A

1 0 1 B